

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-314031

(43)Date of publication of application : 25.10.2002

(51)Int.Cl.

H01L 25/065
H01L 25/07
H01L 25/18
H05K 1/14
H05K 1/18
H05K 3/46

(21)Application number : 2001-116022

(71)Applicant : FUJITSU LTD

(22)Date of filing : 13.04.2001

(72)Inventor : SEYAMA KIYOTAKA
YAMADA HIROSHI
YAMAMOTO HARUHIKO

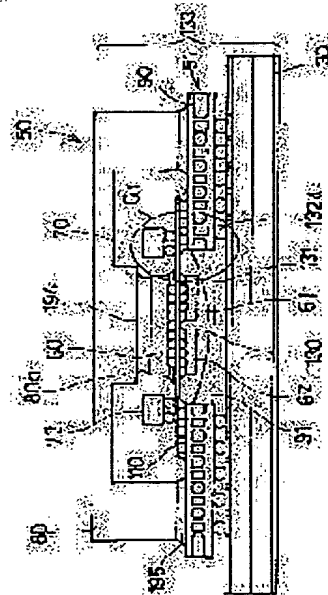
(54) MULTICHIP MODULE

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a multichip module in which LSI chips can be packaged at high density.

SOLUTION: A wiring board 51 is composed of a rigid substrate 90 which has an opening 91 having the size corresponding to LSI chips 61 and 62 and is formed at the center part of the substrate 90, and a thin film 110 which is bonded to the substrate 90 to close the opening 91. On the upper surface 111 of the thin film 110, an LSI chip 60 and chip capacitors 70 and 72 are mounted. The LSI chips 61 and 62 are mounted on the lower surface 112 of the thin film 110 in a state where the chips 61 and 62 are housed in the opening 91.

本発明の多チップモジュールの平面図



LEGAL STATUS

[Date of request for examination]

19.09.2002

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2002-314031

(P 2 0 0 2 - 3 1 4 0 3 1 A)

(43) 公開日 平成14年10月25日 (2002.10.25)

(51) Int. Cl. ⁷	識別記号	F I	テマコード (参考)
H01L 25/065		H05K 1/14	A 5E336
25/07		1/18	R 5E344
25/18		3/46	L 5E346
H05K 1/14			Q
1/18		H01L 25/08	Z

審査請求 未請求 請求項の数 5 O L (全13頁) 最終頁に続く

(21) 出願番号 特願2001-116022 (P 2001-116022)

(22) 出願日 平成13年4月13日 (2001.4.13)

(71) 出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中4丁目1番
1号

(72) 発明者 瀬山 清隆

神奈川県川崎市中原区上小田中4丁目1番
1号 富士通株式会社内

(72) 発明者 山田 博

神奈川県川崎市中原区上小田中4丁目1番
1号 富士通株式会社内

(74) 代理人 100070150

弁理士 伊東 忠彦

最終頁に続く

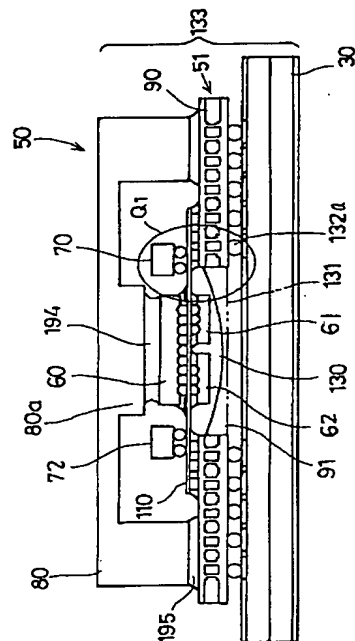
(54) 【発明の名称】 マルチチップモジュール

(57) 【要約】

【課題】 本発明はマルチチップモジュールに関し、L S Iチップの高密度実装を可能にすることを課題とする。

【解決手段】 配線基板51は、中央部にL S Iチップに対応した大きさの開口91が形成してあるリジット基板90と、開口91を塞いだ状態で接合してある薄膜フィルム110とよりなる。薄膜フィルム110の上面111に、L S Iチップ60及びチップコンデンサ70、72が実装してある。L S Iチップ61、62は、開口91の内部に収まって、薄膜フィルム110の下面112に実装してある。

本発明の第1実施例になるマルチチップモジュールの断面図



【特許請求の範囲】

【請求項 1】 配線基板とこれに搭載してあるチップとよりなるマルチチップモジュールにおいて、

上記配線基板は、

コア材を有する構造であり、開口が形成してあるリジット基板と、

上面に上面側チップ搭載部、下面に下面側チップ搭載部を有する薄膜フィルムとを有し、

該薄膜フィルムが、上記リジット基板の開口を塞いで、

該リジット基板と電気的に接続されて該リジット基板の上面に固定された複合構造であり、

チップが上記薄膜フィルムの上面側チップ搭載部に搭載してあり、

別のチップが上記薄膜フィルムの下面側チップ搭載部に搭載してあり、上記リジット基板の開口内に収まっている構成としたことを特徴とするマルチチップモジュール。

【請求項 2】 請求項 1 記載のマルチチップモジュールにおいて、

上記薄膜フィルムは、上面側チップ搭載部の電極パッドと下面側チップ搭載部の電極パッドとがビアによって接続されている構成としたことを特徴とするマルチチップモジュール。

【請求項 3】 請求項 1 記載のマルチチップモジュールにおいて、

上記リジット基板の上面に接着されて、上記薄膜フィルムの上面側チップ搭載部に搭載してあるチップと当接して該チップを覆うリッドと、

上記薄膜フィルムの下面側チップ搭載部に搭載されて、上記リジット基板の開口内に収まっている別のチップを保護する手段を更に有する構成としたことを特徴とするマルチチップモジュール。

【請求項 4】 請求項 1 乃至 3 のうち何れか一項記載のマルチチップモジュールが、そのリジット基板の下面の bumps によってプリント基板上に実装された構成としたことを特徴とするプリント基板ユニット。

【請求項 5】 コア材を有する構造であり、開口が形成してあるリジット基板と、

上面に上面側チップ搭載部、下面に下面側チップ搭載部を有する薄膜フィルムとを有し、

該薄膜フィルムが、上記リジット基板の開口を塞いで、

該リジット基板と電気的に接続されて該リジット基板の上面に固定された複合構造である構成としたことを特徴とする配線基板。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明はマルチチップモジュールに係り、特に複合構造の配線基板に L S I チップが搭載された構成のマルチチップモジュールに関する。

【0002】 L S I チップが配線基板上に実装されてい

るマルチチップモジュールにあつては、L S I チップを高い密度で実装されていること、動作周波数が高いこと、修理がし易い構造で実装されていること、更には、放熱性が良いこと等が求められている。

【0003】 また、L S I チップは、将来的に、パターンが微細化して、電極が狭ピッチ化する傾向にある。よって、L S I チップが搭載されて実装される配線基板はこれに対応できる構造である必要がある。

【0004】

【従来の技術】 従来のチップモジュール 10 は、図 1 に示すように L S I チップ搭載実装用配線基板 11 に、L S I チップ 20 が実装されている構造である。L S I チップ搭載実装用配線基板 11 は、コア材を有する構造であり、ガラスエポキシ製のリジッド基板 12 の上下面にビルドアップ層 13、14 が形成してあり、下面には bumps 15 が形成してあり、上面には L S I チップ搭載部 16 を有する構成である。L S I チップ 20 は、L S I チップ搭載部 16 にフリップチップ形態で実装されている。チップモジュール 10 は、マザーボード 30 上に実装される。

【0005】 このチップモジュール 10 では、ビルドアップ法が採用されているため、L S I チップ搭載実装用配線基板 11 の製造の歩留まりが良くない。また、リジッド基板 12 の表面の平面度等が原因で、L S I チップ搭載部 16 の配線パターンの L (line) / S (space) が 25 / 25 μ m 程度に留まり、L S I チップの電極の狭ピッチ化に対応することが困難である。

【0006】 本出願人は、上記の問題を解決したマルチチップモジュールを提案した。特開 2 0 0 0 - 3 5 3 7 6 5 号公報に、このマルチチップモジュールが記載されている。このマルチチップモジュール 40 は、図 2 に示すように、L S I チップ搭載実装用配線基板 41 と、フリップチップ形態で実装されている L S I チップ 45、46 とを有する構成である。このマルチチップモジュール 40 は、マザーボード 30 上に実装される。

【0007】 L S I チップ搭載実装用配線基板 41 は、コア材を有する構造であり、ガラスエポキシ製のリジッド基板 42 と、リジッド基板 42 の上面に接着されたフレキシブル基板 43 とよりなる複合構造である。L S I チップ搭載部 44 は、フレキシブル基板 43 の上面に形成してある。

【0008】 フレキシブル基板 43 は、ガラス板の平面度の高い表面に、スパッタリング及びエッチング等を行い、最後に、ガラス板から剥離させることによって製造されたものである。

【0009】 L S I チップ搭載実装用配線基板 41 は、リジッド基板 42 とは独立に製造されたフレキシブル基板 43 をリジッド基板 42 上に接着して製造されているため、ビルドアップ法を採用している場合に比べて、L S I チップ搭載実装用配線基板 41 の製造の歩留まりは

改善される。また、LSIチップ搭載部44の配線パターンのL/Sは25/25 μ m程度より狭くなり、LSIチップの電極の狭ピッチ化にも対応することが可能となる。

【0010】

【発明が解決しようとする課題】しかし、マルチチップモジュール40は、LSIチップ45、46の実装が上面に限られており、LSIチップを十分に高密度に実装することが困難であった。

【0011】そこで、本発明は、上記課題を解決したマルチチップモジュールを提供することを目的とする。

【0012】

【課題を解決するための手段】上記課題を解決するために、請求項1の発明は、配線基板とこれに搭載してあるチップとよりなるマルチチップモジュールにおいて、上記配線基板は、コア材を有する構造であり、開口が形成してあるリジット基板と、上面に上面側チップ搭載部、下面に下面側チップ搭載部を有する薄膜フィルムとを有し、該薄膜フィルムが、上記リジット基板の開口を塞いで、該リジット基板と電氣的に接続されて該リジット基板の上面に固定された複合構造であり、チップが上記薄膜フィルムの上面側チップ搭載部に搭載してあり、別のチップが上記薄膜フィルムの下面側チップ搭載部に搭載してあり、上記リジット基板の開口内に収まっている構成としたものである。

【0013】チップが薄膜フィルムの上面に加えて下面にも搭載してあることによって、実装の高密度化が図られている。

【0014】薄膜フィルムの上面側チップ搭載部に搭載されたチップと薄膜フィルムの下面側チップ搭載部に搭載されたチップとの間の距離は、薄膜フィルムの厚さ分となり、極く短くなる。上下のチップが半導体チップである場合には、上下の半導体チップの間で伝送される信号の遅れが無視できる程度となり、動作周波数を上げることが可能となる。一方が半導体チップで、他方がチップコンデンサである場合には、半導体チップとチップコンデンサとの間のインダクタンスが極く小さくなって、チップコンデンサの効果を最大限に引き出すことが可能となり、高周波数までのノイズをカットすることが可能となる。

【0015】請求項2の発明は、請求項1記載のマルチチップモジュールにおいて、上記薄膜フィルムは、上面側チップ搭載部の電極パッドと下面側チップ搭載部の電極パッドとがビアによって接続されている構成としたものである。

【0016】薄膜フィルムの上面側チップ搭載部に搭載されたチップのバンパと薄膜フィルムの下面側チップ搭載部に搭載されたチップのバンパとは、薄膜フィルムのビアによって電氣的に接続された状態となり、信号の遅れが無視できる程度となり、動作周波数を上げることが

可能となる。独立である上下のチップは、上下のチップの機能を合わせた機能を有する大型のサイズの一つのチップと同じ性能を有するようになる。よって、性能を維持してチップの製造コストを低下することが可能となる。

【0017】請求項3の発明は、請求項1記載のマルチチップモジュールにおいて、上記リジット基板の上面に接着されて、上記薄膜フィルムの上面側チップ搭載部に搭載してあるチップと当接して該チップを覆うリッドと、上記薄膜フィルムの下面側チップ搭載部に搭載されて、上記リジット基板の開口内に収まっている別のチップを保護する手段を更に有する構成としたものである。

【0018】チップが保護されている。リッドは放熱作用もする。

【0019】請求項4の発明は、請求項1乃至3のうち何れか一項記載のマルチチップモジュールが、そのリジット基板の下面のバンパによってプリント基板上に実装された構成としたものである。

【0020】チップが高密度に実装されたプリント基板ユニットが実現可能となる。

【0021】請求項5の発明は、コア材を有する構造であり、開口が形成してあるリジット基板と、上面に上面側チップ搭載部、下面に下面側チップ搭載部を有する薄膜フィルムとを有し、該薄膜フィルムが、上記リジット基板の開口を塞いで、該リジット基板と電氣的に接続されて該リジット基板の上面に固定された複合構造である構成としたものである。

【0022】リジット基板に開口が形成してあり、薄膜フィルムがリジット基板の開口を塞いでいる構成は、チップを薄膜フィルムの上面に搭載することを可能とすると共に、薄膜フィルムの下面にもチップを搭載することを可能とする。

【0023】チップ搭載部を薄膜フィルムに形成することにより、チップ搭載部をリジット基板に形成した場合に比べて、L/Sが小さくなり、電極パッドのピッチが狭くなり、将来的な半導体チップの電極の狭ピッチ化に対応することが可能となる。

【0024】

【発明の実施の形態】〔第1実施例〕図3は本発明の第1実施例になるマルチチップモジュール50を、マザーボード30上に実装された状態で示す。図4はマルチチップモジュール50を、リッド80を省略して、分解して示す斜視図である。図5は、図3中、円Q1で囲んだ部分を拡大して示す。

【0025】先ず、マルチチップモジュール50の概略構成について説明する。

【0026】図3乃至図5に示すように、マルチチップモジュール50は、配線基板51と、配線基板51に実装されているLSIチップ60、61、62及びチップコンデンサ70～73と、配線基板51の上面に固定し

である金属製のリッド 80 とを有する構成である。

【0027】配線基板 51 は、中央部に L S I チップに対応した大きさの開口 91 が形成してあるリジット基板 90 と、開口 91 より一回り大きいサイズであり、リジット基板 90 の上面 92 に、開口 91 を塞いだ状態で接合してある薄膜フィルム 110 とよりなる。L S I チップ 60 及びチップコンデンサ 70 ~ 73 は、薄膜フィルム 110 の上面 111 にフリップチップ形態で実装してある。L S I チップ 61、62 は、薄膜フィルム 110 のうち、開口 91 を塞いでいる部分の下面 112 にフリップチップ形態で実装してあり、上記開口 91 の内部に収まっている。

【0028】リッド 80 は、金属製であり、薄膜フィルム 110 より一回り大きいサイズであり、リジット基板 90 の上面 92 に接着してある。リッド 80 は、薄膜フィルム 110 の上面に実装してある L S I チップ 60 及びチップコンデンサ 70 ~ 73 を覆っており、且つ、L S I チップ 60 の上面と接着してある。

【0029】開口 61 内の L S I チップ 61、62 は、ポッティングされた合成樹脂によって符号 132 で示すように封止されている。この樹脂封止に代えて、二点鎖線で示すように蓋部材 131 でもって封止してもよい。

【0030】配線基板 51 に開口 91 が形成されていることによって、薄膜フィルム 110 の下面に L S I チップを実装することを可能となっている。このように、マルチチップモジュール 50 は、薄膜フィルム 110 の上面と下面との両面に、L S I チップ 60、61、62 が実装されているため、図 2 に示すマルチチップモジュール 40 と比較して、実装されている L S I チップの数が多くなり、L S I チップ 60、61、62 は、より高い密度で実装されている。

【0031】また、配線基板 51 に開口 91 が形成されていることによって、マルチチップモジュール 50 の状態で、薄膜フィルム 110 の下面に実装されている L S I チップ 61、62 を交換するリワークを容易に行うことが出来る。

【0032】発熱量についてみると、薄膜フィルム 110 の上面には、発熱量の多い L S I チップ 60 が実装されている。薄膜フィルム 110 の下面には、発熱量の少ない L S I チップ 61、62 が実装されている。なお、逆のケース、即ち、発熱量の多い L S I チップが薄膜フィルム 110 の下面に、発熱量の少ない L S I チップが薄膜フィルム 110 の上面に実装した構成もありうる。

【0033】マルチチップモジュール 50 は、BGA 132a によってプリント基板であるマザーボード 30 上に実装される。マルチチップモジュール 50 がマザーボード 30 上に実装されているものを、マザーボードユニット 133 という。

【0034】マザーボードユニット 133 が動作しているとき、マルチチップモジュール 50 の L S I チップ 6

1 の熱は、リッド 80 に伝導されてリッドリッド 80 の全体に拡がり、リッド 80 の表面から空气中に逃がされる。薄膜フィルム 110 の下面側の L S I チップ 61、62 の熱は、L S I チップ 60 を通って、リッド 80 に伝導されて、リッド 80 の表面から空气中に逃がされる。よって、マルチチップモジュール 50 は効率良く冷却される。

【0035】次に、マルチチップモジュール 50 を構成する構成部品について説明する。

【0036】【配線基板 51】 先ず、配線基板 51 について説明する。

【0037】配線基板 51 は、リジット基板 90 と薄膜フィルム 110 を別々に製造して、薄膜フィルム 110 をリジット基板 90 の上面に接着して製造されたものであり、リジット基板 90 と薄膜フィルム 110 とよりなる複合構造である。

【0038】リジット基板 90 は、図 5 に示すように、多層基板 93 の上面と下面とにビルドアップ層 98、99 を有する構造である。

【0039】このリジット基板 90 は、図 6 (A) ~ (E) に示すようにして製造される。同図 (A) は、回路パターンが形成された内層材と半硬化状態にした接着シート (プリプレグ) とを交互に積み重ねて、加熱、加圧してなるリジッドな元の多層基板 93 である。この多層基板 93 がリジット基板 90 のコア材を構成する。この多層基板 131 に、同図 (B) に示すように、穴あけし、次いで、同図 (C) に示すように、パターン 96 及びビア 97 を形成する。次に、同図 (D) に示すように、ビルドアップ法によって、多層基板 93 の上面と下面とにビルドアップ層 98、99 を形成する。最後に、同図 (E) に示すように、プレス加工によって、開口 91 を形成する。以上によって、図 3 及び図 4 に示すリジッド基板 90 が製造される。

【0040】このように製造されたリジッド基板 90 は、内部に、電源層 100V、絶縁層 101、及びグラウンド層 102G が積層されている構造を有する。

【0041】図 7 (A) 乃至 (C) は薄膜フィルム 110 を示す。薄膜フィルム 110 は、図 7 (A) に示すように、下面 112 側から順に、ポリイミド製の絶縁層 113、Cu 製の電源層 114、ポリイミド製の絶縁層 115、Cu 製のグラウンド層 116、ポリイミド製の絶縁層 117、Cu 製の信号層 118、ポリイミド製の絶縁層 119 を有し、且つ、複数のビア 120 を有し、且つ、上面 111 に複数の電極パッド 121 を有し、下面 112 に複数の電極パッド 122 を有する構成である。薄膜フィルム 110 はコア材を有しない構造であり、フレキシブルである。

【0042】薄膜フィルム 110 の上面 111 には、図 7 (B) に示すように、L S I チップ搭載部 123 が形成してあり、薄膜フィルム 110 の下面 112 には、図

7 (C) に示すように、LSIチップ搭載部124が形成してある。

【0043】薄膜フィルム110の信号層118の配線パターン125、126は、L/Sが5/7.5 μ m程度に狭く出来、電極パッド121、122の並びのピッチpは150 μ m程度に狭い。よって、LSIチップの電極の狭ピッチ化に対応することが可能である。

【0044】また、薄膜フィルム110の厚さt1は、50~60 μ mである。

【0045】次に、図8及び図9を参照して、上記薄膜フィルム110の製造方法について説明する。

【0046】薄膜フィルム110は、図8(A)及び図9(A)に示すように、下地剥離膜形成工程140→導体層形成工程141→絶縁層形成工程142→多層化工程143→薄膜フィルム剥離工程144→薄膜フィルム切断工程145を経て製造される。

【0047】下地剥離膜形成工程140：図8(B)に示すように、高い平面度を有するガラス板150の上面に、クロム(Cr)をスパッタリングして、下地剥離膜151を形成する。

【0048】導体層形成工程141：図8(C)に示すように、Cuをスパッタリングして、下地剥離膜151の上面に、導体層152を形成する。

【0049】次いで、図8(D)に示すように、レジストを塗布し、露光・現像処理を行なって、エッチングレジスト153を形成する。

【0050】次いで、図8(E)に示すように、導体層152をエッチングし、この後に、エッチングレジスト153を剥離して、電極パッド122を形成する。

【0051】絶縁層形成工程142：図8(F)に示すように、感光性ポリイミドをスピコートして、電極パッド122を覆う感光性ポリイミド絶縁層154を形成する。次いで、図8(G)に示すように、感光性ポリイミド絶縁層154に対して露光・現像・キュア処理を行なって、ポリイミド絶縁層155を形成する。

【0052】多層化形成工程143：図8(H)に示すように、導体層の形成及びポリイミド絶縁層の形成を繰り返して、順に、Cu製の電源層114、ポリイミド製の絶縁層115、Cu製のグラウンド層116、ポリイミド製の絶縁層117、Cu製の信号層118、ポリイミド製の絶縁層119を重ねるように形成して、大きいサイズの薄膜フィルム110Aを形成する。

【0053】絶縁層115、117、119はスピコートで形成され、10 μ m以下の厚さで形成される。

【0054】薄膜多層箔剥離工程144：図9(B)に示すように、薄膜フィルム110Aの端をつかんで引き上げて、薄膜フィルム110Aをその周囲の個所からガラス板150より引き剥がす。

【0055】薄膜多層箔切断工程145：図9(C)に示すように、引き剥がした薄膜フィルム110Aを、カ

ッタを使用して、線157で示すように、所定のサイズに切断する。これによって、図9(D)及び図4に示す薄膜フィルム110が複数製造される。

【0056】上記の製造方法からして、薄膜フィルム110の信号層118の配線パターン125、126は、L/Sが5/7.5 μ m程度に狭く出来、電極パッド、121、122の並びのピッチpは150 μ m程度に狭い。

【0057】次に、薄膜フィルム110をリジット基板90の上面への接着の方法について、図10(A)乃至(C)を参照して説明する。

【0058】先ず、図10(A)に示すように、四角枠形状のボンディングシート160を、リジット基板90の上面のうち、開口91の周囲の位置にタッキングする。

【0059】次いで、図10(B)に示すように、リジット基板90の開口91に対応する凸段部161aを有するステージ161を用意し、リジット基板90をその開口91を凸段部161aに嵌合させて、ステージ161上にセットし、薄膜フィルム110を開口91を覆うように位置合わせして置いて、加圧し、加熱して、薄膜フィルム110をリジット基板90の上面へ接着させる。これによって、図10(C)に示す配線基板51が製造される。

【0060】なお、凸段部161aの上面161bは、平面であり、リジット基板90の上面92と同じ高さに位置しており、薄膜フィルム110のうち開口91を覆っている部分を支えている。これによって、開口91のサイズが大きい場合であっても、薄膜フィルム110が凹むように撓むことは起きず、水平に支持され、薄膜フィルム110は確実に水平の状態で接着される。

【0061】配線基板51は、図5に併せて示すように、薄膜フィルム110がその周囲の部分がリジット基板90の上面のうち開口91の周囲の部分に接着され、且つ、薄膜フィルム110が開口91を塞いでおり、且つ、薄膜フィルム110の電極パッド122がリジット基板90のビルドアップ層98の電極パッド98aとが電気的に接続されている構造を有する。

【0062】[マルチチップモジュール50] 次に、マルチチップモジュール50の製造について、図11及び図12を参照して説明する。

【0063】マルチチップモジュール50は、図11(A)及び図12(A)に示すように、上記の配線基板51に対して、上面へのLSIチップ及びチップコンデンサ搭載工程180→アンダーフィル形成工程181→下面へのLSIチップ搭載工程182→アンダーフィル形成工程183→リッド接着工程184→BGAボール搭載工程185→樹脂ポッティング工程186を経て製造される。

【0064】上面へのLSIチップ及びチップコンデンサ搭載工程180：図11(B)、(C)に示すよう

に、配線基板 51 を所定位置にセットし、LSI チップ 60 を、その下面の bumps 60a を各電極パッド 121 に対向させて、薄膜フィルム 110 の上面 111 の LSI チップ搭載部 123 に載せて搭載する。また、チップコンデンサ 70、71 (72、73) を薄膜フィルム 110 の上面 111 の所定箇所に搭載する。

【0065】アンダーフィル形成工程 181：図 11 (C) に示すように、ディスペンサ 190 を使用して、アンダーフィルレジン 191 を供給して、LSI チップ 60 の下面と薄膜フィルム 110 の上面 111 との間の隙間 192 にしみ込ませ、図 11 (D) に示すように、LSI チップ 60 の下面と薄膜フィルム 110 の上面 111 との間にアンダーフィル 193 を形成する。

【0066】下面への LSI チップ搭載工程 182：図 11 (D) に示すように、配線基板 51 を表裏反転させ、LSI チップ 61、62 を、その下面の bumps を各電極パッド 122 に対向させて、薄膜フィルム 110 の下面 112 の LSI チップ搭載部 124 に載せて搭載する。図 11 (E) に示すように、LSI チップ 61、62 は、隣り合って並んでおり、リジッド基板 90 の開口 91 と薄膜フィルム 110 とによって形成されている空間 91a 内に収まっている。空間 91a は、リジッド基板 90 の厚さ t_{10} に対応する深さ寸法 d を有する。

【0067】アンダーフィル形成工程 183：図 11 (E) に示すように、ディスペンサ 190 を使用して、アンダーフィルレジン 191 を供給して、LSI チップ 61、62 の下面と薄膜フィルム 110 の下面 112 との間の隙間 195 にしみ込ませ、図 12 (B) に示すように、LSI チップ 61、62 の下面と薄膜フィルム 110 の下面 112 との間にアンダーフィル 196 を形成する。

【0068】リッド接着工程 184：図 12 (B) に示すように、配線基板 51 を表裏反転させて LSI チップ 60 が上面となる姿勢とし、Ag ペースト 194 を LSI チップ 60 の上面に置き、リッド 80 に対応する大きさの四角枠形状の接着シート 195 をリジッド基板 90 の上面に置き、リッド 80 を配線基板 51 の上面に搭載し、加熱加圧する。これによって、図 12 (C) に示すように、リッド 80 は、周囲部を配線基板 51 に接着され、中央の凸部 80a が LSI チップ 60 の上面と接合される。LSI チップ 60 及びチップコンデンサ 70、71 (72、73) が、リッド 80 によって封止される。

【0069】BGA ボール搭載工程 185：図 12 (C) に示すように、配線基板 51 を再度表裏反転させて、BGA ボール 132 を、配線基板 51 のうちリジッド基板 90 の下面の各電極パッド 99a に搭載し、加熱して溶融させて、図 12 (D) に示すように、BGA 132a を約 $800\mu\text{m}$ のピッチで形成する。

【0070】樹脂ポッティング工程 186：図 12

(D) に示すように、ディスペンサ 197 を使用して、樹脂を空間 91a 内にポッティングして、図 12 (E) に示すように、樹脂封止部 130 を形成して、LSI チップ 61、62 を樹脂封止する。

【0071】以上によって、マルチチップモジュール 50 が完成する。

【0072】次に、マルチチップモジュール 50 の特徴について説明する。

【0073】マルチチップモジュール 50 は以下に述べる特徴を有する。

(1) リジッド基板 90 の中央部に開口 91 が形成されていることによって、薄膜フィルム 110 の下面にも、LSI チップが搭載されている。よって、マルチチップモジュール 50 は、薄膜フィルム 110 の上面と下面との両面に、LSI チップ 60、61、62 が実装されている構造となっており、図 2 に示すマルチチップモジュール 40 に比較して、実装されている LSI チップの数が多くなり、LSI チップ 60、61、62 がより高い密度で実装されている。

(2) リジッド基板 90 の中央部に開口 91 が形成されていることによって、薄膜フィルム 70 の下面に実装された LSI チップ 61、62 に接近可能となる。よって、実装された LSI チップ 61、62 が正常に動作しない場合に、この LSI チップ 61、62 の交換をすることが可能となる。即ち、薄膜フィルム 70 の下面に実装された LSI チップ 61、62 に対してリワークを行うことが可能となる。

(3) 薄膜フィルム 110 の上面側の LSI チップ 60 と薄膜フィルム 110 の下面側の LSI チップ 61、62 との電気的接続は、図 5 に示すように、薄膜フィルム 110 内のビア 127 を介するだけで、配線パターンは介さずになされている。よって、LSI チップ 60 と LSI チップ 61、62 との間の信号の伝送経路の長さは、薄膜フィルム 110 の厚さである $50\sim 60\mu\text{m}$ の極短い長さとなる。このため、信号が LSI チップ 60 と LSI チップ 61、62 との間で伝送される間に、インピーダンス及びインダクタンス等によって生ずる信号の遅延の量が少なくなり、これによって、LSI チップ 60、61、62 の動作周波数を GHz のオーダにまで上げて高速化を図ることが可能となる。

【0074】ここで、低コスト化のために、一つの大きいサイズの LSI チップに代えて、大きいサイズの LSI チップを例えば二つに分割した二つの小さいサイズの LSI チップを使用する構成とする場合がある。二つの小さいサイズの LSI チップを横に並べて配置した場合には、隣り合う LSI チップ間の信号の伝送経路は、プリント基板上の配線パターンとなって、その長さが長くなってしまい、信号の遅延を考慮して、LSI チップの動作周波数を低く抑える必要がある。しかし、本実施例のように、LSI チップ 60 と LSI チップ 61、62

とを薄膜フィルム 1 1 0 の上面側と下面側に実装することによって、大きいサイズの L S I チップを二つに分割した場合に発生する信号の遅延という問題が解決されている。

(4) 薄膜フィルム 1 1 0 の上面には、発熱量の多い L S I チップ 6 0 が実装されており、L S I チップ 6 0 の熱は、リッド 8 0 に伝導されてリッドリッド 8 0 の全体に拡がり、リッド 8 0 の表面から空气中に逃がされ、発熱量の多い L S I チップ 6 0 は効率良く冷却される。

【 0 0 7 5 】〔第 2 実施例〕図 1 3 は本発明の第 2 実施例になるマルチチップモジュール 5 0 A を示す。

【 0 0 7 6 】マルチチップモジュール 5 0 A は、薄膜フィルム 1 1 0 の上面側に L S I チップ 6 0 が実装してあり、下面側に、バスコンとしてのチップコンデンサ 7 0 A、7 1 A、7 3 A が実装してある構成である。

【 0 0 7 7 】このため、図 1 4 に併せて拡大して示すように、チップコンデンサ 7 0 A ~ 7 3 A の L S I チップ 6 0 からの距離は、薄膜フィルム 1 1 0 の厚さである 5 0 ~ 6 0 μ m の極短い長さとなる。よって、チップコンデンサ 7 0 A ~ 7 3 A と L S I チップ 6 0 との間のインダクタンスが小さくなって、チップコンデンサ 7 0 A ~ 7 3 A のキャパシタンスによって得られる効果を最大限に引き出すことが可能となり、高周波数までのノイズをカットすることが可能となる。

【 0 0 7 8 】〔第 3 実施例〕図 1 5 は本発明の第 3 実施例になるマルチチップモジュール 5 0 B を示す。

【 0 0 7 9 】マルチチップモジュール 5 0 B は、薄膜フィルム 1 1 0 の上面側に L S I チップ 6 0、バスコンとしてのチップコンデンサ 7 0、7 2 が実装してあり、下面側に、L S I チップ 6 1 とバスコンとしてのチップコンデンサ 7 1 A、7 3 A が実装してある構成である。

【 0 0 8 0 】なお、上記の各実施例において、開口 9 1 付きのリジット基板 9 0 に接着される薄膜フィルム 1 1 0 は、上記の構造のものに限定されるものではなく、例えば、絶縁性フィルムをベースとし、この絶縁性フィルムにビアが形成され、且つ、この表裏面に配線パターンが形成されている構造のものでもよい。

【 0 0 8 1 】なお、「マルチチップモジュール」には、シングルチップが搭載された構成のシングルチップのモジュールも含む。

(付記 1) 配線基板とこれに搭載してあるチップとよりなるマルチチップモジュールにおいて、上記配線基板は、コア材を有する構造であり、開口が形成してあるリジット基板と、上面に上面側チップ搭載部、下面に下面側チップ搭載部を有する薄膜フィルムとを有し、該薄膜フィルムが、上記リジット基板の開口を塞いで、該リジット基板と電氣的に接続されて該リジット基板の上面に固定された複合構造であり、チップが上記薄膜フィルムの上面側チップ搭載部に搭載してあり、別のチップが上記薄膜フィルムの下面側チップ搭載部に搭載してあり、

上記リジット基板の開口内に収まっている構成としたことを特徴とするマルチチップモジュール。

【 0 0 8 2 】チップが薄膜フィルムの上面に加えて下面にも搭載してあることによって、実装の高密度化が図られている。

【 0 0 8 3 】薄膜フィルムの上面側チップ搭載部に搭載されたチップと薄膜フィルムの下面側チップ搭載部に搭載されたチップとの間の距離は、薄膜フィルムの厚さ分となり、極く短くなる。上下のチップが半導体チップである場合には、上下の半導体チップの間で伝送される信号の遅れが無視できる程度となり、動作周波数を上げることが可能となる。一方が半導体チップで、他方がチップコンデンサである場合には、半導体チップとチップコンデンサとの間のインダクタンスが極く小さくなって、チップコンデンサの効果を最大限に引き出すことが可能となり、高周波数までのノイズをカットすることが可能となる。

(付記 2) 付記 1 記載のマルチチップモジュールにおいて、上記薄膜フィルムは、上面側チップ搭載部の電極パッドと下面側チップ搭載部の電極パッドとがビアによって接続されている構成としたことを特徴とするマルチチップモジュール。

【 0 0 8 4 】薄膜フィルムの上面側チップ搭載部に搭載されたチップのバンパと薄膜フィルムの下面側チップ搭載部に搭載されたチップのバンパとは、薄膜フィルムのビアによって電氣的に接続された状態となり、信号の遅れが無視できる程度となり、動作周波数を上げることが可能となる。独立である上下のチップは、上下のチップの機能を合わせた機能を有する大型のサイズの一つのチップと同じ性能を有するようになる。よって、性能を維持してチップの製造コストを低下することが可能となる。

(付記 3) 付記 1 記載のマルチチップモジュールにおいて、上記リジット基板の上面に接着されて、上記薄膜フィルムの上面側チップ搭載部に搭載してあるチップと当接して該チップを覆うリッドと、上記薄膜フィルムの下面側チップ搭載部に搭載されて、上記リジット基板の開口内に収まっている別のチップを保護する手段を更に有する構成としたことを特徴とするマルチチップモジュール。

【 0 0 8 5 】チップが保護される。リッドは放熱を促す。

(付記 4) 付記 3 記載のマルチチップモジュールにおいて、上記薄膜フィルムの上面側チップ搭載部には、薄膜フィルムの下面側チップ搭載部に搭載されているチップよりも発熱量の多いチップが搭載してある構成としたことを特徴とするマルチチップモジュール。

【 0 0 8 6 】冷却が効率的に行われる。

(付記 5) 付記 1 乃至 4 のうち何れか一項記載のマルチチップモジュールが、そのリジット基板の下面のバン

ブによってプリント基板上に実装された構成としたことを特徴とするプリント基板ユニット。

【0087】チップが高密度に実装されたプリント基板ユニットが実現可能となる。

(付記6) コア材を有する構造であり、開口が形成してあるリジット基板と、上面に上面側チップ搭載部、下面に下面側チップ搭載部を有する薄膜フィルムとを有し、該薄膜フィルムが、上記リジット基板の開口を塞いで、該リジット基板と電氣的に接続されて該リジット基板の上面に固定された複合構造である構成としたことを特徴とする配線基板。

【0088】リジット基板に開口が形成してあり、薄膜フィルムがリジット基板の開口を塞いでいる構成は、チップを薄膜フィルムの上面に搭載することを可能とすると共に、薄膜フィルムの下面にもチップを搭載することを可能とする。

【0089】チップ搭載部を薄膜フィルムに形成することにより、チップ搭載部をリジット基板に形成した場合に比べて、 L/S が小さくなり、電極パッドのピッチが狭くなり、将来的な半導体チップの電極の狭ピッチ化に対応することが可能となる。

(付記7) コア材を有する構造であり、開口が形成してあるリジット基板と、上面に上面側チップ搭載部、下面に下面側チップ搭載部を有する薄膜フィルムとを有し、該薄膜フィルムが、上記リジット基板の開口を塞いで、該リジット基板と電氣的に接続されて該リジット基板の上面に固定された複合構造である構成の配線基板の製造方法であって、上記リジット基板の開口に対応した凸段部を有するステージを使用し、上記リジット基板をその開口を、該凸段部に嵌合させて、上記ステージ上にセットし、上記薄膜フィルムを、上記凸段部の上面に支持させて、上記リジット基板の開口を覆うよう置いて、上記リジット基板に接着するようにしたことを特徴とする配線基板の製造方法。

【0090】接着する前の段階で、薄膜フィルムは凸段部の上面に支持されるため、リジット基板の開口が大きい場合であっても、薄膜フィルムは凹むように曲がらずに、水平に維持され、配線基板の製造が信頼性高く行われる。

【0091】

【発明の効果】以上説明したように、請求項1の発明は、配線基板とこれに搭載してあるチップとよりなるマルチチップモジュールにおいて、上記配線基板は、薄膜フィルムが、リジット基板の開口を塞いで、リジット基板と電氣的に接続されて該リジット基板の上面に固定された複合構造であり、チップが上記薄膜フィルムの上面側チップ搭載部に搭載してあり、別のチップが上記薄膜フィルムの下面側チップ搭載部に搭載してあり、上記リジット基板の開口内に収まっている構成としたものであるため、チップが薄膜フィルムの上面に加えて下面にも

搭載してあることによって、チップの実装の高密度化を図ることが出来る。薄膜フィルムの上面側チップ搭載部に搭載されたチップと薄膜フィルムの下面側チップ搭載部に搭載されたチップとの間の距離は、薄膜フィルムの厚さ分となり、極く短くなり、上下のチップが半導体チップである場合には、上下の半導体チップの間に伝送される信号の遅れが無視できる程度となり、二つの半導体チップを横に並べて配置した構成に比べて、マルチチップモジュールの動作周波数を上げることが出来る。また、一方が半導体チップで、他方がチップコンデンサである場合には、半導体チップとチップコンデンサとの間のインダクタンスが極く小さくなって、チップコンデンサの効果を最大限に引き出すことが可能となり、高周波数までのノイズをカットすることが出来、ノイズに強いマルチチップモジュールを実現することが出来る。

【0092】請求項2の発明は、請求項1記載のマルチチップモジュールにおいて、上記薄膜フィルムは、上面側チップ搭載部の電極パッドと下面側チップ搭載部の電極パッドとがビアによって接続されている構成としたものであるため、薄膜フィルムの上面側チップ搭載部に搭載されたチップのバンブと薄膜フィルムの下面側チップ搭載部に搭載されたチップのバンブとは、薄膜フィルムのビアによって電氣的に接続された状態となり、信号の遅れが無視できる程度となり、動作周波数を上げることが可能となる。独立である上下のチップは、上下のチップの機能を合わせた機能を有する大型のサイズの一つのチップと同じ性能を有するようになる。よって、性能を維持してチップの製造コストを低下することが可能となる。

【0093】請求項3の発明は、請求項1記載のマルチチップモジュールにおいて、上記リジット基板の上面に接着されて、上記薄膜フィルムの上面側チップ搭載部に搭載してあるチップと当接して該チップを覆うリッドと、上記薄膜フィルムの下面側チップ搭載部に搭載されて、上記リジット基板の開口内に収まっている別のチップを保護する手段を更に有する構成としたものであるため、チップを保護することが出来、且つ、リッドによって効率的に冷却することが出来る。

【0094】請求項4の発明は、請求項1乃至3のうち何れか一項記載のマルチチップモジュールが、そのリジット基板の下面のバンブによってプリント基板上に実装された構成としたものであるため、チップが高密度に実装されたプリント基板ユニットが実現可能となる。

【0095】請求項5の発明は、コア材を有する構造であり、開口が形成してあるリジット基板と、上面に上面側チップ搭載部、下面に下面側チップ搭載部を有する薄膜フィルムとを有し、該薄膜フィルムが、上記リジット基板の開口を塞いで、該リジット基板と電氣的に接続されて該リジット基板の上面に固定された複合構造である構成としたものであるため、リジット基板に開口が形成

15

してあり、薄膜フィルムがリジット基板の開口を塞いでいる構成は、チップを薄膜フィルムの上面に搭載することを可能とすると共に、薄膜フィルムの下面にもチップを搭載することが可能となる。また、チップ搭載部を薄膜フィルムに形成することにより、チップ搭載部をリジット基板に形成した場合に比べて、 L/S が小さくなり、電極パッドのピッチが狭くなり、将来的な半導体チップの電極の狭ピッチ化に対応することが可能となる。

【図面の簡単な説明】

【図 1】従来の 1 例のチップモジュールを示す図である。

【図 2】従来の別の例のマルチチップモジュールを示す図である。

【図 3】本発明の第 1 実施例になるマルチチップモジュールの断面図である。

【図 4】図 3 のマルチチップモジュールの分解斜視図である。

【図 5】図 3 中、円 Q 1 で囲んだ部分を拡大して示す図である。

【図 6】リジット基板の製造方法を示す図である。

【図 7】薄膜フィルムの一部を拡大して示す図である。

【図 8】図 7 の薄膜フィルムの製造方法を示す図である。

【図 9】図 8 に続く、薄膜フィルムの製造方法を示す図である。

16

【図 10】配線基板の製造方法を示す図である。

【図 11】図 3 に示すマルチチップモジュールの製造方法を示す図である。

【図 12】図 11 に続く、マルチチップモジュールの製造方法を示す図である。

【図 13】本発明の第 2 実施例になるマルチチップモジュールの断面図である。

【図 14】図 13 中、円 Q 2 で囲んだ部分を拡大して示す図である。

【図 15】本発明の第 3 実施例になるマルチチップモジュールの断面図である。

【符号の説明】

50, 50A, 50B マルチチップモジュール

51 配線基板

60, 61, 62 LSIチップ

70~74 チップコンデンサ

80 リッド

90 リジット基板

91 開口

110 薄膜フィルム

127 ビア

132a BGA

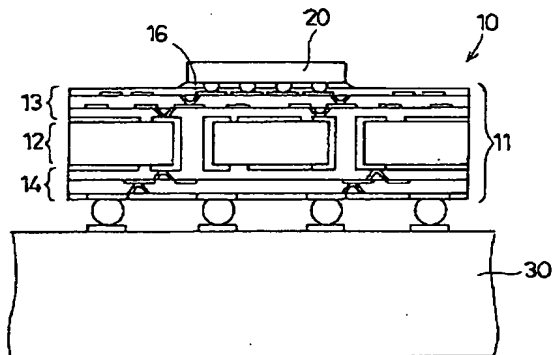
132 樹脂封止部

161 ステージ

161a 凸段部

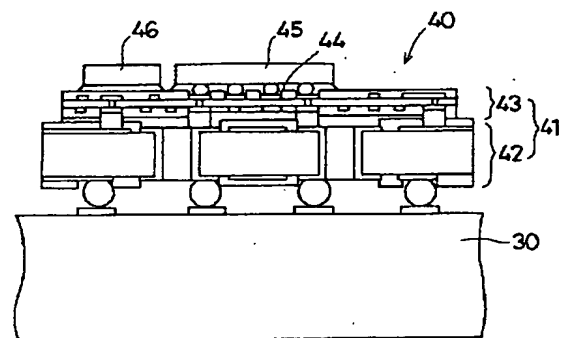
【図 1】

従来の 1 例のチップモジュールを示す図



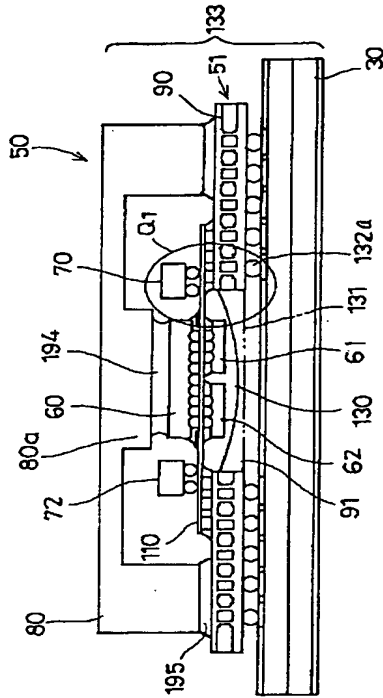
【図 2】

従来の別の例のマルチチップモジュールを示す図



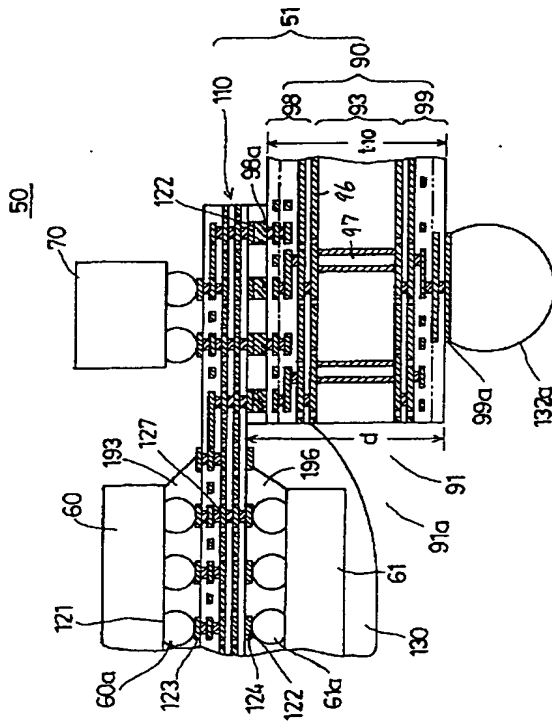
【図 3】

本発明の第1実施例になるマルチチップモジュールの断面図



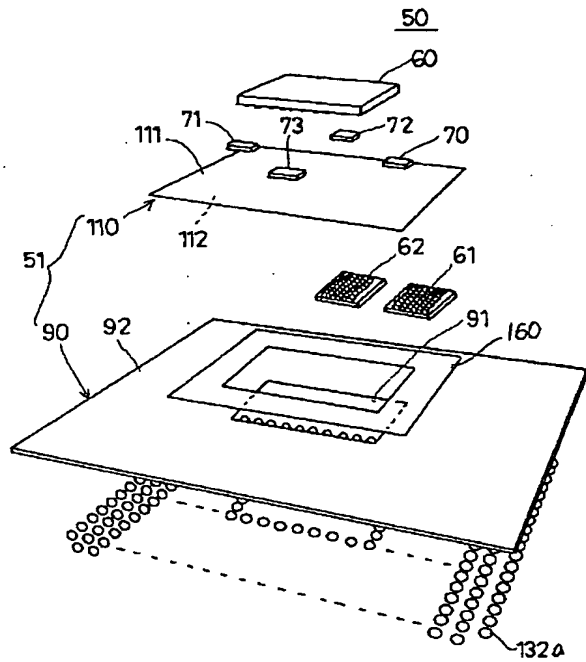
【図 5】

図3中、円Q1で囲んだ部分を拡大して示す図



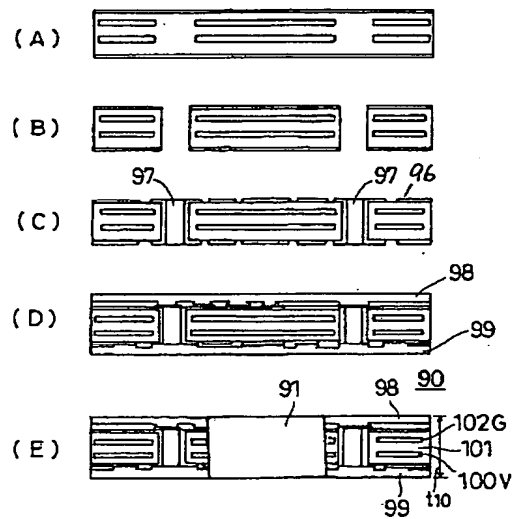
【図 4】

図3のマルチチップモジュールの分解斜視図



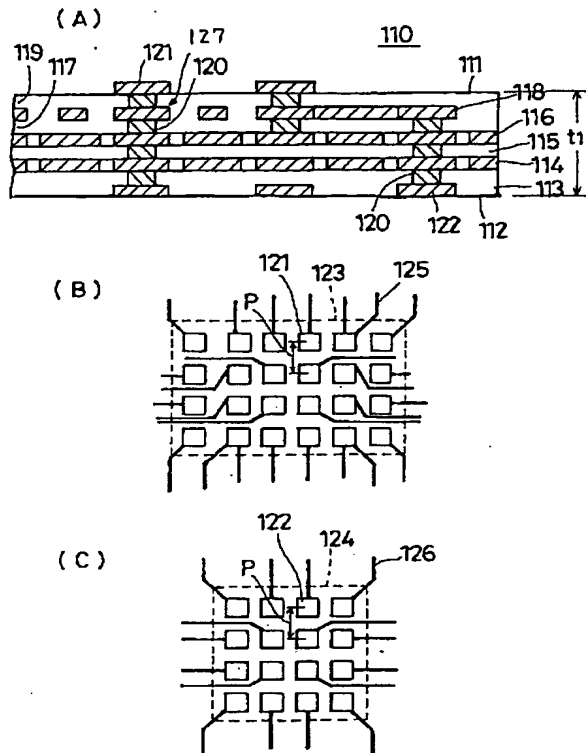
【図 6】

リジット基板の製造方法を示す図



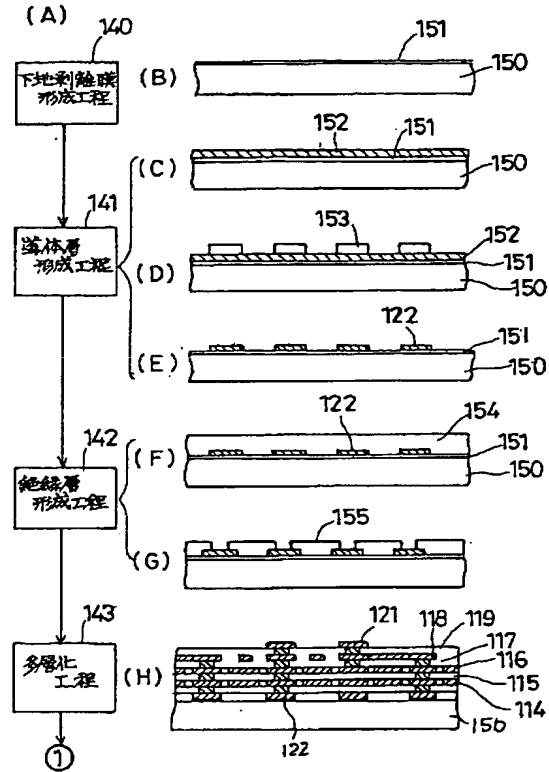
【図7】

薄膜フイルムの一部を拡大して示す図



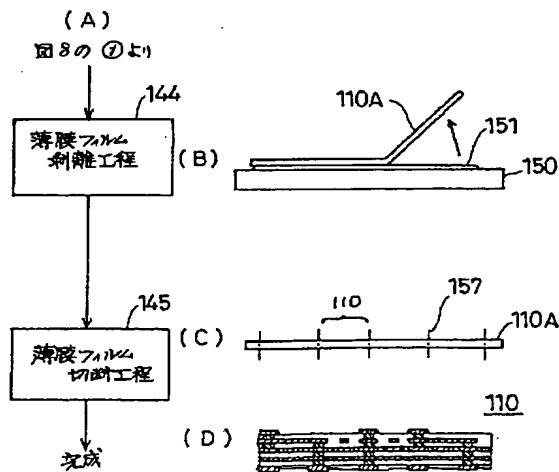
【図8】

図7の薄膜フイルムの製造方法を示す図



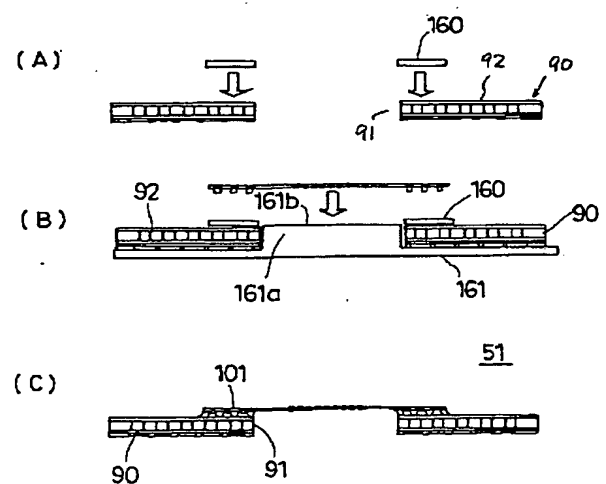
【図9】

図8に続く薄膜フイルムの製造方法を示す図



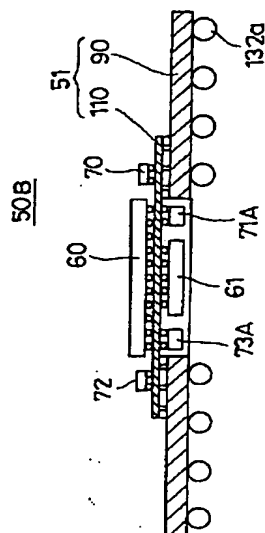
【図10】

配線基板の製造方法を示す図



【图 15】

本発明の第3実施例になるマルチアップ
モジュールの断面図



フロントページの続き

(51) Int. Cl.⁷

H O 5 K 3/46

識別記号

FI

テーマコード' (参考)

(72)発明者 山本 治彦

神奈川県川崎市中原区上小田中4丁目1番

1号 富士通株式会社内

Fターム(参考) 5E336 AA08 AA14 AA16 BB03 BB12
BC02 BC26 BC34 CC43 CC58
GG03 GG11
5E344 AA01 AA21 BB02 BB04 CC23
DD02 EE06
5E346 AA05 AA06 AA12 AA15 AA22
BB01 BB06 BB16 CC02 CC08
CC31 EE44 FF45 GG40 HH02
HH05 HH22